

PAT-NO: JP354080094A

DOCUMENT-IDENTIFIER: JP 54080094 A

TITLE: PHOTO-COUPLED SEMICONDUCTOR DEVICE

PUBN-DATE: June 26, 1979

INVENTOR-INFORMATION:

NAME

MIMURA, AKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP52147126

APPL-DATE: December 9, 1977

INT-CL (IPC): H01L031/12

ABSTRACT:

PURPOSE: To reduce the malfunction of the photo-coupled semiconductor integrated circuit by laminating the light emitting diodes via the conductor foil in order to isolate each diode optically.

CONSTITUTION: Injection-type light emitting diode 7a and 7b are laminated via intermediate electrodes 8a~8c (conductor foil, and then connected to lead wires 9a~9c. In this case, the diameters of electrodes 8a~8c are set larger than those of diodes 7a and 7b to avoid the lateral expansion of the radiated light. Thus, no evil effect is given to the adjacent elements due to the photo detector 20 which is located close to diode 7a and 7b, at the same time securing the function of the heat sink. For formation of electrodes 8a~8c, the foil of Ag or the like is coated on the end face of diode 7a and 7b each, and then only the diode is etched to reduce the diameter.

COPYRIGHT: (C)1979,JPO&Japio

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54-80094

⑬Int. Cl.<sup>2</sup>  
H 01 L 31/12

識別記号 ⑭日本分類  
99(5) J 4  
99(5) J 401

庁内整理番号 ⑮公開 昭和54年(1979)6月26日  
7377-5F

発明の数 1  
審査請求 未請求

(全 4 頁)

⑯光結合半導体装置

⑰特 願 昭52-147126

⑱出 願 昭52(1977)12月9日

⑲発 明 者 三村秋男

日立市幸町3丁目1番1号 株

式会社日立製作所日立研究所内

⑳出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5  
番1号

㉑代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 光結合半導体装置

特許請求の範囲

1. 発光性pn接合を有する複数の結晶片が金属箔を介して接合がほぼ平行となる様に電氣的に接続されてなる発光素子において、上記結晶片が金属箔より低くなる様に構成され、この凹部に導光性物質を充填した発光素子を、前記発光素子の金属箔により電氣的接続と機械的固定を成し、受光素子と対向させたことを特徴とする光結合半導体装置。

発明の詳細な説明

本発明は光で点弧する方式の半導体装置に係り、特に誤動作の少ない光結合半導体集積回路装置に関する。

光結合半導体装置は、フォトカプラとして公知であり、入力側と出力側が電氣的に絶縁されているという構造上の特徴から、(1)回路及び素子の構造が簡単になる、(2)入力、出力側で電位の異なる場合の信号伝達も容易である、(3)微弱信号により

大電力制御が可能である、などの利点がある。したがって最近新しい半導体素子制御法として注目されてきている。

しかしながらこの様な利点を有効に生かすには、今だに次に述べる様な問題が残されている。

第1図は従来の基本的な光結合集積回路装置10を示す。誘電体分離された集積回路装置と発光素子5a、5bから構成されている。集積回路素子は二酸化シリコン膜1で絶縁分離され多結晶シリコン2で支持された単結晶シリコン3a、3bに形成されており、アルミニウム電極4a、4bで電氣的接触が取られている。第1図の場合、集積回路素子としてラテラルサイリスタを例示してある。このラテラルサイリスタを、この上に配置した発光素子5a、5bにリード線6a、6bから加えた電気信号で発生する光で点弧させる。一般に集積回路には複数の素子が存在するため、この素子を独立に動作させるには複数の発光素子が必要である。この様に複数の受光、発光素子が独立に正常に動作するには、各々の素子の相互作

用を無くさねばならない。受光素子の場合、第1図に示してある様に、誘電体分離技術を使えば、各々の素子の電氣的相互作用を著しく低減することが出来る。ところで第1図に示す例では、二個の発光素子が配置された場合、例えば発光素子5aから出た光は発光素子5bの周辺にまで及ぶ。したがって、発光素子5a側のラテラルサイリスタを点弧しようとする場合、発光素子5b側のラテラルサイリスタはノイズなどによつて電圧が加わると、発光素子5aから漏れた微弱な光によつて誤点弧してしまう。したがって、この様な誤動作を防止するため、発光素子間の距離を広げるかまたは不透光性の遮蔽壁6を設けるなど集積度向上に不利な設計をする対策が必要であつた。

本発明の目的は、従来技術の欠点を除き、誤動作が少なくかつ集積度の高い光結合半導体集積回路装置を提供するにある。

本発明は、発光ダイオードを導体はくを介して積層し、この導体はくにより各ダイオードを光学的に分離する構造として光結合半導体集積回路装

置の誤動作を低減することを特徴とする。

次に図に従がつて本発明の実施例を述べる。

第1図は本発明を実施した光制御半導体集積回路装置20の基本的構成を示す。注入型の発光ダイオード7a, 7bを中間電極8a, 8b, 8cを介して積層しリード線9a, 9b, 9cに接続されてなる発光素子を有する点が特徴である。発光素子の中間電極8a, 8b, 8cは、発光ダイオード7a, 7bより大きく、放射された光が横方向に広がるのを押え隣接受光素子に影響を及ぼすのを防止している。またこの中間電極8a, 8b, 8cは所定の厚さを有し後述する様に、電極としての作用の外に発光素子を固定するボンディング部材としてまたヒートシンクとして使われる。以上述べた構造とすることにより、発光ダイオードの集積化が可能になるとともに、漏光による集積回路素子の誤動作を防止出来る。

次に第3図に従い本発明の特徴である発光素子の製造法を説明する。単結晶シリコンを使つた受光素子に対しては、9500Å前後の波長が感度良

く好都合である。この波長を得るには通常GaAsが使われる。

(a)において、pn接合を形成したGaAs11のウエハを得る。pn接合を形成する方法としては、n型のGaAs基板にZnを拡散してp型層を形成する方法、両性不純物であるSiをドーブして液相成長によりpn接合を形成する方法などがある。本発明では発光効率の高い素子が得られる後者を採用した。pn接合を形成後ウエハを研磨、エッチングして厚さを約200μmとする。

(b)において電氣的接触を得るために表面電極12, 13を蒸着により形成する。接触抵抗を低くかつオーミックに形成するため、n型GaAsの表面電極12はAu-Ge-Ni, P型GaAsの表面電極13にはAu-Znを使う。蒸着後400℃で3分間シンタリングして接着を完全にする。

(c)においてGaAs11から外部への電氣的接触と発光素子の固定手段となるメッキ電極15a, 15b, 15cを形成する。必要な場所へ選択的にメッキするため、フォトレジスト14でGaAs

11の表面電極12, 13を覆い、メッキする部分にのみ窓を明けて表面電極12を露出させる。この部分に導電性の良いAgをメッキする。GaAs11をマイナスにバイアスし通常のメッキ方法で厚さ約150μmの電極を形成する。

(d)においてメッキ電極15a, 15b, 15cを形成したGaAs11、厚さ150μmのAgから成る金属はく16、メッキ電極15a', 15b', 15c'を形成したGaAs11'を、メッキ電極の位置が対応する様に積層して接着する。接着を完全にするため、GaAs11, 11'のp側表面電極13上に低融点のAu-Ge膜を蒸着する。Geが12%のAu-Ge合金は融点が約360℃であり、荷重を加えながら400℃で3分間シンタリングすれば、三者の接着が良好な積層体を得ることが出来る。この後一点鎖線で示したA-A', B-B'間を切断する。積層体が薄い場合は薄刀のダイヤモンドカッター、厚い場合はワイヤーソーにより切断できる。

(e)は切断後の積層体を示す。切断面が粗れてい

る場合は、研磨により平坦にすることができる。  
通常は  $500 \times 500 \mu\text{m}^2$  程度の積層体として使用する。

(f)において、GaAs 11, 11' を化学エッチングしてメツキ電極 15a, 15b、金属はく16より低くなるように調整し本発明の特徴とする構造の発光素子を得る。Ag および Au を主成分とする電極材料を溶解せず GaAs のみを選択的にエッチングする溶液としては  $\text{HCl}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$  系、 $\text{KOH}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$  系が使用できる。例えば容量比で  $\text{HCl}:\text{H}_2\text{O}_2 = 5:1$  の組成で、 $40^\circ\text{C}$  のエッチング液を使えば  $1.7 \mu\text{m}/\text{min}$  の速度で GaAs のみをエッチングできる。この様な方法で GaAs をエッチングし、電極より  $10 \sim 100 \mu\text{m}$  低くなる様に調整する。電極の厚さ、GaAs の厚さ、受光素子との距離に対応して深さを選択する。このエッチング操作により、GaAs 結晶に存在する加工歪を除去するとともに、GaAs を鏡面とすることができ、発光効率を高めることができる。この後凹部に屈折率が高く透光性の良いエポキシ系などの

樹脂 7 を充填する。表面張力の作用により、樹脂 7 は選択的に凹部にのみ充填され、電極として使われるメツキ電極 15a, 15b, 15c、や金属はく16の表面を汚すことがない。この操作で発光出力は約2倍となる。

次に本発明による発光素子を使った光結合集積回路装置 40 を第4図に従って説明する。発光素子はメツキ電極 15b, 15b' および金属はく16の下に形成されたハンダボール 22c, 22d, 22e を介してセラミック基板 23 の厚膜導体 24b に接続されピン 25b により外部制御系より電気信号が加えられる。一方受光素子 21 のチップは発光素子上の正確な位置にハンダボール 22a, 22b によつて固定され、厚膜導体 24a, ピン 25a を介して出力が取り出される構造となつている。この装置において、GaAs 11, 11' から個別に放射される光はメツキ電極 15b, 15b' および金属はく16によつて互いに分離されており、樹脂 17 に導びかれ対向する受光部のみに正確に照射される。したがって複数の光源を

近接して使用しても受光素子が誤動作することがなくなる。また金属はく16によつて複数の発光体を隣接して保持固定することが出来るため、受光および発光素子の高集積度化および装置の小型化が容易となる。また各 GaAs の結晶の両側にヒートシンクとなる電極が設けられており、発生する熱の放散が容易となり発光素子の劣化を防止することも可能である。

次に本発明の応用例について述べる。第5図は発光光源を増した例について示す。GaAs 11, 11', 11'' と金属はく16, 16' を積層して切断することによりこの構造の発光素子を得ることが出来る。この様に発光光源の数を増すことによりさらに集積度を高めることができる。また積層方法や順序を変えらることにより直列化あるいは任意の接続を得ることができ、複数の発光素子を個別あるいは同時に動作させられる。

本発明の場合は発光体として GaAs を例に述べたが、発光体として GaP, GaAlAs などの III-V 族化合物半導体を使い、発光素子集合体を構成

することが可能である。またメツキ電極や金属はくとしては Ni, Pd, Cu, Au などを使うことが出来る。

以上述べた様に本発明による発光素子を使うことにより、誤動作がなくかつ集積度の高い光結合半導体集積回路装置を得ることができる。

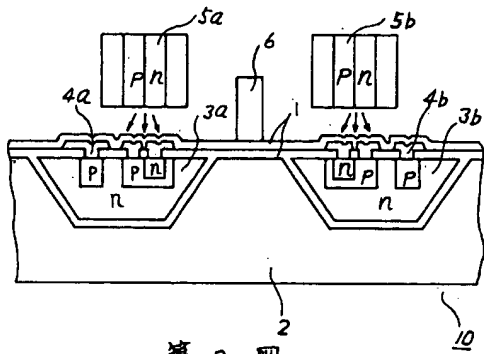
図面の簡単な説明

第1図は従来技術を説明する光結合半導体装置断面図、第2図～第4図は本発明の実施例を説明する発光素子および光結合半導体装置の断面図、第5図は本発明の応用例を示す発光素子断面図である。

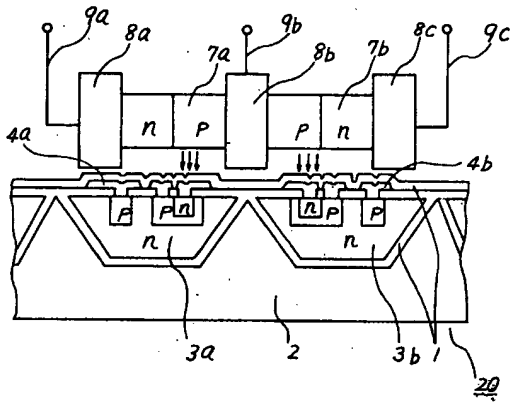
11, 11', 11''... GaAs, 12, 13... 表面電極、15b, 15b'... メツキ電極、16... 金属はく、17... 樹脂、21... 受光素子。

代理人 弁理士 高橋明夫

第 1 図

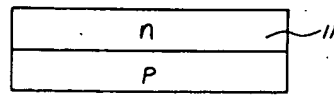


第 2 図

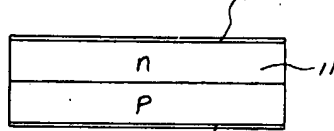


第 3 図

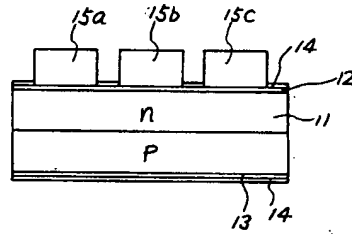
(a)



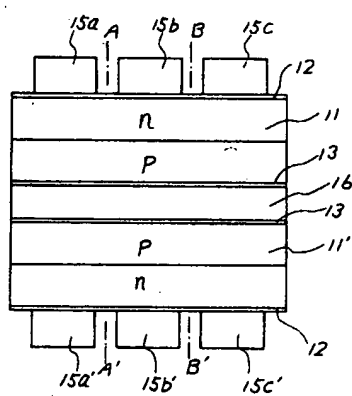
(b)



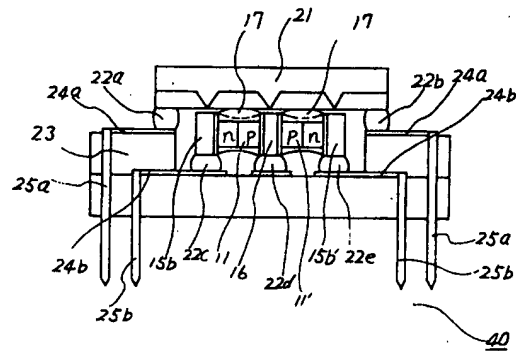
(c)



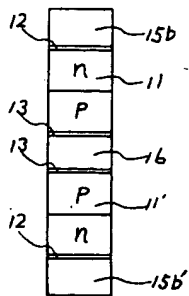
(d)



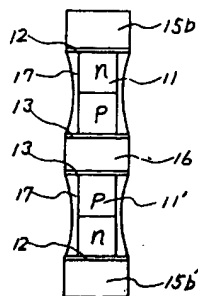
第 4 図



(e)



(f)



第 5 図

